

Atty. Dkt. No. 081848-0189

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Akira MOCHIZUKI  
Title: REGISTER FILE AND METHOD FOR DESIGNING A REGISTER FILE  
Appl. No.: 10/658,202  
Filing Date: 09/10/2003  
Examiner: Unknown  
Art Unit: Unknown

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
PO Box 1450  
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2002-265521  
filed 09/11/2002.

Respectfully submitted,

Date: October 24, 2003

FOLEY & LARDNER  
Customer Number: 22428  
Telephone: (202) 672-5407  
Facsimile: (202) 672-5399

By Phillip J. Anticola *Reg. No. 38,819*  
for/ David A. Blumenthal  
Attorney for Applicant  
Registration No. 26,257

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月11日

出 願 番 号

Application Number:

特願2002-265521

[ ST.10/C ]:

[ JP2002-265521 ]

出 願 人

Applicant(s):

NECエレクトロニクス株式会社

2003年 7月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3052729

【書類名】 特許願

【整理番号】 71110559

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明の名称】 レジスタファイル及びレジスタファイルの設計方法

【請求項の数】 6

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 望月 明

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100096231

    【弁理士】

    【氏名又は名称】 稲垣 清

    【電話番号】 03-5295-0851

【手数料の表示】

    【予納台帳番号】 029388

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9303567

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 レジスタファイル及びレジスタファイルの設計方法

【特許請求の範囲】

【請求項 1】 複数の入力ポートと、複数のレジスタとを備え、各入力ポートから入力するデータを、書き込みアドレスで指定されたレジスタに書き込むレジスタファイルであって、

前記レジスタのそれぞれは、前記入力ポートに対応する論理積回路と該論理積回路の出力の論理和をとる論理和回路とを有する入力ポート選択部と、該入力ポート選択部の出力を記憶する記憶部とを備え、

前記論理積回路のそれぞれは、対応する入力ポートから入力する書き込みデータを書き込むか否かを指定する書き込み指令信号を受信しており、前記書き込みデータと、前記書き込み指令信号と、当該論理積回路に対応する入力ポートよりも優先順位が高い入力ポートに対応する論理積回路に入力する書き込み指令信号の反転信号との論理積をとることを特徴とするレジスタファイル。

【請求項 2】 複数の出力ポートと、該出力ポートに対応して配設される読み出しデータ選択回路とを更に備え、該読み出しデータ選択回路が、各レジスタに対応して配設され各レジスタが記憶する記憶データと指定されたレジスタに対応してアクティブになるアクティブ信号との論理積をとる論理積回路と、該論理積回路の出力の論理和をとる論理和回路とを備える、請求項 1 に記載のレジスタファイル。

【請求項 3】 前記記憶部は、前記論理和回路の出力をラッチするマスタラッチと、該マスタラッチに後続するスレーブラッチとを有する同期型の D 型フリップフロップを備える、請求項 1 又は 2 に記載のレジスタファイル。

【請求項 4】 前記書き込み指令信号が、入力ポート毎に指定される書き込みアドレスをレジスタ数に対応した数にデコードした信号と、前記入力ポート毎に書き込み許可又は不許可を指定する書き込み許可信号との論理積に基づいて生成される、請求項 1 ～ 3 の何れかに記載のレジスタファイル。

【請求項 5】 複数のレジスタと、複数の出力ポートとを備え、各出力ポートが、読み出しアドレスで指定されたレジスタからデータを出力するレジスタフ

ファイルであって、

前記出力ポートに対応して配設される読み出しデータ選択回路を備え、該読み出しデータ選択回路が、各レジスタに対応して配設され各レジスタが記憶する記憶データと、指定されたレジスタに対応してアクティブになるアクティブ信号との論理積をとる論理積回路と、該論理積回路の出力の論理和をとる論理和回路とを備えることを特徴とするレジスタファイル。

【請求項 6】 請求項 5 に記載のレジスタファイルを設計する方法であって、前記読み出しデータ選択回路を、論理和回路と論理積回路との組み合わせでハードウェア化されるように記述することを特徴とするレジスタファイルの設計方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、レジスタファイル及びレジスタファイルの設計方法に関し、更に詳しくは、モジュール化されたセルを配置するセルベース設計によって設計されるレジスタファイル及びレジスタファイルの設計方法に関する。

【 0 0 0 2 】

【従来の技術】

一般に、A S I C（特定用途向け I C）や L S I などの半導体装置の設計では、セルベース設計が採用され、このセルベース設計では、設計済みの回路がモジュール化されて記憶されるセルライブラリを使用する。セルライブラリには、A N D（論理積）回路や O R（論理和）回路、フリップフロップなどの基本的な回路ブロック（プリミティブセル）から、A L U や加算器などの中規模な回路ブロック（マクロセル）、C P U や R A M などの大規模な回路ブロック（メガセル）まで、さまざまな回路規模のハードウェアマクロ（セル）が記憶されており、半導体装置は、セルベース設計でこれらのセルを組み合わせで設計される。このように、セルライブラリを活用することで、半導体装置の設計や検証に要する時間を短縮することができる。

【 0 0 0 3 】

例えば、プロセッサを組み込んだ半導体装置を設計する場合には、半導体装置

の設計者は、回路規模や処理能力などを勘案して、セルライブラリから使用するプロセッサコアを選択する。一般に、プロセッサコアは、それを専門に開発する部門により、基本アーキテクチャが最適化構成で設計され、半導体装置に組み込み可能な状態で提供される。半導体装置の設計者は、プロセッサコアに、半導体装置に要求される周辺資源を設定して半導体装置に組み込む。周辺資源を半導体装置に応じて設定することで、同じ基本アーキテクチャを有するプロセッサコアを、異なる周辺資源を有するプロセッサとして、半導体装置に組み込むことができる。

【 0 0 0 4 】

図 7 は、従来の手法で設計した半導体装置の一部を構成するレジスタファイルの構成例を示している。レジスタファイルは、技術文献 1 に記載されているように、複数のレジスタを備え、指定されたレジスタにデータを書き込む、或いは、指定されたレジスタからデータを読み出す機能を有する。例えば、プロセッサコアでは、レジスタファイルとのインタフェースが規定されており、半導体装置の設計者は、自身の設計に応じて、レジスタ数や、書き込みポート数、読み込みポート数などを設定する。

【 0 0 0 5 】

【非特許文献 1】

「コンピュータの構成と設計 下」 ジョン・L・ヘネシー、デビッド・A・パターソン 著、成田光彰 訳、日経 B P 社 発行、  
1996 年 ISBN4-8222-8002-0、p 6 7 8 - p 6 8 0

【 0 0 0 6 】

図 7 に示す例では、レジスタファイル 2 0 0 は、4 ビットのレジスタ  $F_i$  ( $i$  : レジスタ番号 0 ~ 3)、選択信号生成部 2 1 0、及び、出力ポート選択部 2 2 0 から構成され、書き込みポート  $WR\_DATA_j$  ( $j$  : 書き込みポート番号 0 ~ 3)、及び、読み出しポート  $RD\_DATA_k$  ( $k$  : 読み出しポート番号 0 ~ 3) を備える。

【 0 0 0 7 】

選択信号生成部 2 1 0 は、書き込みポート  $WR\_DATA_j$  に対応した 4 つの

デコーダDEC<sub>j</sub>及び論理積回路AND<sub>j</sub>と、AND<sub>j</sub>の論理和をとる論理和回路ORとで構成される。各デコーダDEC<sub>j</sub>は、2ビットの書き込みアドレス信号WR\_\_ADRS<sub>j</sub>を4ビットの信号にデコードする。各論理積回路AND<sub>j</sub>は、デコードされた信号と、図示しないプロセッサコアから送信される書き込みイネーブル信号WR\_\_EN<sub>i</sub>との論理積を、選択信号としてレジスタF<sub>i</sub>に向けて送信する。論理和回路ORは、同じレジスタF<sub>i</sub>に向けた論理積回路AND<sub>j</sub>からの出力の論理和をとり、何れかの書き込みアドレス信号WR\_\_ADRS<sub>j</sub>によって選択されたレジスタF<sub>i</sub>に、アクティブ信号α<sub>i</sub>を送信する。

## 【0008】

出力ポート選択部220は、各レジスタF<sub>i</sub>が記憶するデータQ<sub>i</sub>のうち、何れかのデータを出力するマルチプレクサMUXを、読み出しポートRD\_\_DATA<sub>k</sub>数に対応して配設する。各マルチプレクサMUXは、各レジスタF<sub>i</sub>が記憶するデータQ<sub>i</sub>を入力し、2ビットの読み出しアドレス信号RD\_\_ADRS<sub>k</sub>に基づいて、読み出しポートRD\_\_DATA<sub>k</sub>から読み出すべきレジスタF<sub>i</sub>のデータQ<sub>i</sub>を選択する。

## 【0009】

各レジスタF<sub>i</sub>は、入力ポート選択部230、及び、記憶部240を備える。入力ポート選択部230は、3つのマルチプレクサ231、232、233を有し、優先順位が設定されたセクタとして構成される。入力ポート選択部230は、選択信号生成部210からの選択信号に基づいて、記憶部240に接続する書き込みポートWR\_\_DATA<sub>j</sub>を選択する。このとき、複数の書き込みアドレスWR\_\_ADRS<sub>j</sub>が、同じレジスタF<sub>i</sub>を同時に指定するときには、入力ポート選択部230は、ポート番号が小さい方(WR\_\_DATA<sub>0</sub>側)を優先して選択する。また、書き込みアドレスWR\_\_ADRS<sub>j</sub>が何れのポートも指定しないときには、優先度が最も高い又は低い書き込みポートWR\_\_DATA<sub>j</sub>からのデータが選択される。

## 【0010】

記憶部240は、データ保持部241及びクロックゲート242を有する。データ保持部241は、記憶するデータのビット数に対応した同期型のDフリップ

フロップ (D-F F) を有し、各 D-F F は、書き込みポート WR\_\_DATA j の何れかのポートから入力された 4 ビットのデータを、クロック信号 CLK に同期して、1 ビットずつ記憶する。クロックゲート 2 4 2 は、クロック信号 CLK と、アクティブ信号  $\alpha_i$  との論理積回路として構成される。書き込みポート WR\_\_DATA j は、図示しないデータライン (バス) に接続するため、レジスタ F i への書き込みが指定されないときでも、各レジスタ F i の D-F F のデータ入力端子 D にはデータラインからのデータが入力される。このとき、書き込みが行われないレジスタ F i では、クロックゲート 2 4 2 が、L レベルのアクティブ信号  $\alpha_i$  に基づいて D-F F のクロック入力端子 CLK を L レベルに固定するため、データ保持部 2 4 1 が記憶しているデータが変更されない。

#### 【 0 0 1 1 】

ここで、出力ポート選択部 2 2 0 のマルチプレクサ MUX の設計について説明する。図 8 は、出力ポート選択部 2 2 0 のマルチプレクサ MUX の記述例を示している。図 9 は、4 入力-1 出力のマルチプレクサの構成例を示している。また、図 1 0 は、プリミティブセルとしてセルライブラリに記憶される 2 入力-1 出力のマルチプレクサのゲートレベルの回路構成例を示している。

#### 【 0 0 1 2 】

一般に、セルベース設計では、ハードウェア記述言語 (HDL) を用いて回路ブロックの機能を記述し、その記述を基に論理合成して、プリミティブセルを組み合わせたゲートレベルの回路構成を得る手法を採用する。図 7 に示す半導体装置を設計する際には、出力ポート選択部 2 2 0 の各マルチプレクサ MUX を、図 8 の記述例のように case 文を用いて記述する。セルライブラリには、図 1 0 に示すゲートレベルの回路構成を有する 2 入力-1 出力のマルチプレクサがプリミティブセルとして用意されており、図 8 の記述例から得られる機能は、図 9 に示すような 2 入力-1 出力のマルチプレクサ 2 2 1 ~ 2 2 3 の組み合わせによって実現する。図 9 に示す各マルチプレクサ 2 2 1 ~ 2 2 3 は、論理合成ツールによって、図 1 0 に示す回路構成で、設計される半導体装置に組み込まれる。なお、各マルチプレクサ 2 2 1 ~ 2 2 3 のゲートレベルの回路構成は、使用する論理合成ツールやセルライブラリによっては、図 1 0 に示す構成とは異なる回路構成



となる場合がある。

【 0 0 1 3 】

【発明が解決しようとする課題】

ところで、半導体装置をセルベース設計手法を用いて設計する際には、半導体装置の設計者は論理合成ツールを使用してゲートレベルの回路構成を得るため、回路構成が必ずしも最適な構成とはならないことがあった。例えば、出力ポート選択部 2 2 0 のマルチプレクサ MUX が、論理合成によって図 1 0 に示すゲートレベルの回路を組み合わせ、図 9 に示すように構成された場合には、読み出しアドレス  $RD\_ADRS_k$  が変化した際に、各レジスタ  $F_i$  が記憶するデータ  $Q_i$  の組み合わせによっては、以下に示すように、消費電力が大きくなる。

【 0 0 1 4 】

レジスタ  $F_0 \sim F_3$  が記憶するデータ  $Q_0 \sim Q_3$  の 0 ビット目のデータが、 $Q_0$  から順に (0、1、0、1) であり、読み出しアドレス  $RD\_ADRS_0$  が (00) であった場合には、1 段目のマルチプレクサ 2 2 1、2 2 2 では、読み出しアドレス信号  $RD\_ADRS_0$  の下位ビットに基づいて、一方のマルチプレクサ 2 2 1 はデータ  $Q_0$  を出力し、他方のマルチプレクサ 2 2 2 はデータ  $Q_2$  を出力する。2 段目のマルチプレクサ 2 2 3 は、読み出しアドレス信号  $RD\_ADRS_0$  の上位ビットに基づいて、データ  $Q_0$  を選択し、「0」を出力する。

【 0 0 1 5 】

読み出しアドレス信号  $RD\_ADRS_0$  が (11) に遷移した場合には、1 段目の双方のマルチプレクサ 2 2 1、2 2 2 は、データ  $Q_1$ 、 $Q_3$  をそれぞれ出力し、2 段目のマルチプレクサ 2 2 3 は、データ  $Q_3$  を選択して「1」を出力する。この例では、選択されないデータ  $Q_1$  を入力する 1 段目のマルチプレクサ 2 2 2 においても、その出力が「0」から「1」に変化する。各マルチプレクサ 2 2 1 ~ 2 2 3 は、出力が「0」から「1」に変化する際には電流が流れるため、図 9 に示すマルチプレクサ MUX は、無駄に電力が消費されるという問題が生じる。

【 0 0 1 6 】

ここで、図 1 1 は、レジスタ  $F_i$  のデータ保持部 2 4 1 で使用される同期型の

D-F Fの構成例を示している。D-F Fは、マスタスレーブ型のD-F Fとして構成され、マスタラッチ243及びスレーブラッチ244を備える。D-F Fは、クロック信号CLKの立ち上がり同期してD端子から入力されたデータを記憶する。マスタラッチ243では、クロック信号CLKがLレベルの期間に、D端子から入力されるデータに従って、スレーブラッチ244への出力ノードの電位が変化する。スレーブラッチ244は、クロック信号CLKがHレベルに立ち上がると、マスタラッチ243の出力ノードの電位に従ってデータを記憶し、記憶したデータを出力端子Qから出力する。

## 【0017】

データ保持部241のD-F FのD端子には、前述のように、書き込みが行われないときにも、何れかの書き込みポートWR\_DATAjが選択されて、そのポートに接続するデータラインのデータが入力される。この場合、クロックゲート242がクロック入力端子をLレベルに固定した場合であっても、マスタラッチ243では、変動するデータラインのデータに従って、スレーブラッチ244への出力ノードの電位が変化する。このため、スレーブラッチ244の記憶状態が変化しないにもかかわらず、マスタラッチ243の出力ノードの電位が「0」から「1」、又は、「1」から「0」に変化し、無駄に電力が消費されるという問題があった。

## 【0018】

本発明は、上記問題を解消し、無駄な消費電力を低減したレジスタファイル及びレジスタファイルの設計方法を提供することを目的とする。

## 【0019】

## 【課題を解決するための手段】

上記目的を達成するために、本発明のレジスタファイルは、複数の入力ポートと、複数のレジスタとを備え、各入力ポートから入力するデータを、書き込みアドレスで指定されたレジスタに書き込むレジスタファイルであって、前記レジスタのそれぞれは、前記入力ポートに対応する論理積回路と該論理積回路の出力の論理和をとる論理和回路とを有する入力ポート選択部と、該入力ポート選択部の出力を記憶する記憶部とを備え、前記論理積回路のそれぞれは、対応する入力ポ

ートから入力する書き込みデータを書き込むか否かを指定する書き込み指令信号を受信しており、前記書き込みデータと、前記書き込み指令信号と、当該論理積回路に対応する入力ポートよりも優先順位が高い入力ポートに対応する論理積回路に入力する書き込み指令信号の反転信号との論理積をとることを特徴とする。

#### 【0020】

本発明のレジスタファイルでは、各レジスタは、何れの入力ポートからのデータを記憶するかを選択するための入力ポート選択部と、データを記憶するための記憶部とを備える。各入力ポート選択部は、優先度付きのセクタとして構成され、入力ポートに対応した数の論理積回路と、論理和回路とを備える。各論理積回路は、入力ポートからのデータと、そのデータを記憶部に入力するか否かを指定する書き込み指令信号を受信しており、更に、その論理積回路に対応する入力ポートよりも優先順位が高く設定された入力ポートに対応する論理積回路に入力する書き込み指令信号の反転信号を受信する。各論理積回路は、受信したデータ及び信号の論理積をとり、その論理積を論理和回路へ出力する。従って、同じレジスタにおいて、2以上の書き込み指令信号がHレベルに活性化されているときでも、優先順位が低い方の入力ポートに対応する論理回路の出力はLレベルに非活性化される。論理和回路は、各論理積回路の出力の論理和をとり、その論理和を、つまり、何れかの入力ポートから入力されたデータを記憶部に入力する。入力ポート選択部は、何れの書き込み指令信号もLレベルであるとき、言い換えると、何れの入力ポートのデータも記憶部に入力するように指定されないときには、その出力はLレベルに固定される。このため、レジスタにデータの書き込みが行われないときに、入力ポートのデータが変動することによって生じていた記憶部の入力ノードの電位の変動を防ぐことができ、記憶部で無駄に消費される電力を低減することができる。

#### 【0021】

本発明のレジスタファイルは、複数の出力ポートと、該出力ポートに対応して配設される読み出しデータ選択回路とを更に備え、該読み出しデータ選択回路が、各レジスタに対応して配設され各レジスタが記憶する記憶データと、指定されたレジスタに対応してアクティブになるアクティブ信号との論理積をとる論理積

回路と、該論理積回路の出力の論理和をとる論理和回路とを備えることが好ましい。アクティブ信号は、例えば、出力ポート毎に指定される、その出力ポートから読み出すべきレジスタを指定する読み出しアドレスに基づいて、何れか1つのみがアクティブとなる。読み出しデータ選択回路は、アクティブ信号と記憶データとの論理積をとり、その論理和を出力することで、読み出しポートから読み出すべきレジスタのデータを選択する。読み出しポートから出力されないデータが入力される論理積回路の出力は、常にLレベルに固定されるため、2入力-1出力のマルチプレクサを複数段設けることで構成した多入力-1出力のマルチプレクサを使用する場合に比べて、レジスタの読み出し側で消費する電力を削減することができる。

#### 【 0 0 2 2 】

本発明のレジスタファイルでは、前記記憶部に、前記論理和回路の出力をラッチするマスタラッチと、該マスタラッチに後続するスレーブラッチとを有する同期型のD型フリップフロップを使用することができる。一般に、同期型のD-F F（D型フリップフロップ）は、クロックがLレベルの期間に記憶状態が入力ノードに基づいて変化するマスタラッチと、クロックがHレベルになるとマスタラッチの出力ノードの電位に基づいて記憶状態を変化させるスレーブラッチで構成される。記憶部に、このようなD-F Fを使用した場合には、レジスタにデータの書き込みが指示されないときには、D-F Fに入力するクロック信号をLレベルに固定して、スレーブラッチを動作させないようにする。このとき、記憶部の入力ノードの電位もLレベルに固定することで、入力ポートのデータ（電位）が変動しても、マスタラッチの記憶状態が変化せず、電力が無駄に消費されない。

#### 【 0 0 2 3 】

本発明のレジスタファイルでは、前記書き込み指令信号を、入力ポート毎に指定される書き込みアドレスをレジスタ数に対応した数にデコードした信号と、前記入力ポート毎に書き込み許可又は不許可を指定する書き込み許可信号との論理積に基づいて生成することができる。この場合、書き込み指令信号は、外部から入力される書き込み許可信号が書き込みを指示したときに、アクティブとなる信号として構成することができる。

## 【 0 0 2 4 】

本発明のレジスタファイルは、複数のレジスタと、複数の出力ポートとを備え、各出力ポートが、読み出しアドレスで指定されたレジスタからデータを入力するレジスタファイルであって、前記出力ポートに対応して配設される読み出しデータ選択回路を備え、該読み出しデータ選択回路が、各レジスタに対応して配設され各レジスタが記憶する記憶データと、指定されたレジスタに対応してアクティブになるアクティブ信号との論理積をとる論理積回路と、該論理積回路の出力の論理和をとる論理和回路とを備えることを特徴とする。

## 【 0 0 2 5 】

本発明のレジスタファイルでは、読み出しデータ選択回路は、複数入力-1出力のセレクタとして構成され、読み出しポートから読み出すべきレジスタのデータを選択する。アクティブ信号は、例えば、出力ポート毎に指定される、その出力ポートから読み出すべきレジスタを指定する読み出しアドレスに基づいて、何れか1つのみがアクティブとなる。読み出しデータ選択回路は、アクティブ信号とレジスタの記憶データとの論理積をとったものの論理和を出力する。読み出しポートから出力されないデータが入力される論理積回路の出力は、常にLレベルに固定されるため、2入力-1出力のマルチプレクサを複数段設けることで構成した多入力-1出力のマルチプレクサを使用する場合に比べて、レジスタの読み出し側で消費する電力を削減することができる。

## 【 0 0 2 6 】

本発明のレジスタファイルの設計方法は、上記レジスタファイルを設計する方法であって、前記読み出しデータ選択回路を、論理和回路と論理積回路との組み合わせでハードウェア化されるように記述することを特徴とする。

## 【 0 0 2 7 】

本発明のレジスタファイルの設計方法では、セルベース設計において、ハードウェア記述言語などを用いてRT（レジスタ転送）レベルで設計する際に、読み出しデータ選択回路の部分が、論理合成された際に論理和回路と論理積回路との組み合わせでハードウェア化されるように記述する。一般に、セレクタの機能をcase分などを用いて記述すると、セルライブラリに登録されたマルチプレク

サを使用してハードウェア化されるが、そのゲートレベルの回路構成は、使用するセルライブラリや論理合成ツールによっては、必ずしも論理和回路と論理積回路との組み合わせで構成されない。読み出しデータ選択回路部分のハードウェア記述を、論理和回路と論理積回路とが使用されるように明示して記述することで、これらの回路の組み合わせでハードウェア化された読み出しデータ選択回路を得ることができる。

【 0 0 2 8 】

【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図 1 は、本発明の一実施形態例のレジスタファイルの構成例をブロック図として示している。レジスタファイル 1 0 0 は、入力ポート選択部 1 3 0 及び出力ポート選択部 1 2 0 の構成が、図 7 に示す従来のレジスタファイル 2 0 0 と相違する。レジスタファイル 1 0 0 は、4 ビットのレジスタ  $F_i$  ( $i$  : レジスタ番号 0 ~ 3)、選択信号生成部 1 1 0、出力ポート選択部 1 2 0 を備え、図示しないプロセッサコアと共に半導体装置に組み込まれる。また、レジスタファイル 1 0 0 は、4 ビットのデータを入力する複数の書き込みポート  $WR\_DATA_j$  ( $j$  : 書き込みポート番号 0 ~ 3) と、4 ビットのデータを出力する複数の読み出しポート  $RD\_DATA_k$  ( $k$  : 読み出しポート番号 0 ~ 3) とを備える。

【 0 0 2 9 】

選択信号生成部 1 1 0 は、書き込みポート数  $j$  に対応したデコーダ  $DEC_j$  及び論理積回路  $AND_j$  と、アクティブ信号生成回路 1 1 1 とを有し、何れかの書き込みポート  $WR\_DATA_j$  からのデータを、何れのレジスタ  $F_i$  に書き込むかを選択するための信号を生成する。各デコーダ  $DEC_j$  は、書き込みアドレス信号  $WR\_ADRS_j$  を、何れかのビットのみが 1 となる、レジスタ数に対応したビット数の信号にデコードする。例えば、2 ビットのアドレスとして (0 1) が指定されたとき、デコーダ  $DEC_j$  は、レジスタ  $F_1$  を選択するための 4 ビットの信号 (0 0 1 0) を出力する。

【 0 0 3 0 】

図 2 は、選択信号生成部 1 1 0 の一部詳細を示している。各論理積回路  $AND$

$j$  は、レジスタ数に対応した数の論理積回路  $AND\ i\ j$  で構成され、デコーダ  $DEC\ j$  によってデコードされた信号と、プロセッサコアから送信される書き込みイネーブル信号  $WR\_EN\ j$  との論理積を、選択信号  $S\ i\ j$  としてレジスタ  $F\ 0 \sim F\ 3$  に向けて送信する。例えば、同図に示したデコーダ  $DEC\ 0$  からの信号が  $AND\ 0\ 0$  側から順に (0、1、0、0) であり、書き込みポート  $WR\_DATA\ 0$  からのデータを何れかのレジスタ  $F\ i$  に書き込むことを許可する書き込みイネーブル信号  $WR\_EN\ 0$  が 1 であったときには、論理積回路  $AND\ 0$  からは、レジスタ  $F\ 1$  に向けた選択信号  $S\ 1\ 0$  のみが 1 となった選択信号  $S\ i\ 0$  (= 0、1、0、0) が送信される。

#### 【0031】

アクティブ信号生成回路 111 は、レジスタ数に対応して配設され、同じレジスタ番号について選択信号  $S\ i\ j$  の論理和をとり、書き込みアドレス信号  $WR\_ADRS\ j$  によって選択されたレジスタ  $F\ i$  に、アクティブ信号  $\alpha\ i$  を送信する。例えば、レジスタ  $F\ 1$  に、何れかの書き込みポート  $WR\_DATA\ j$  からのデータを書き込むべきときには、論理積回路  $AND\ j$  から出力される選択信号  $S\ 1\ 0 \sim S\ 1\ 3$  までの論理和が「1」となり、アクティブ信号生成回路 111 は、これをアクティブ信号  $\alpha\ 1$  としてレジスタ  $F\ 1$  に送信する。

#### 【0032】

図 3 は、レジスタ  $F\ 0$  の構成をブロック図として示している。各レジスタ  $F\ i$  は、同図に示すレジスタ  $F\ 0$  と同様な構成を有し、入力ポート選択部 130、及び、記憶部 140 を備える。入力ポート選択部 130 は、書き込みポート  $WR\_DATA\ j$  から入力されたデータを、選択信号生成部 110 が生成した選択信号  $S\ i\ j$  に基づいて、記憶部 140 に入力する。記憶部 140 は、記憶するデータのビット数に対応したデータ保持部 141 及びクロックゲート 142 を有し、データ  $Q\ i$  を出力する。なお、同図におけるカッコ内の数字は、データのビット番号を示している。

#### 【0033】

入力ポート選択部 130 は、データのビット数に対応した  $AND$  回路 131 ~ 134 及び  $OR$  回路 135 で構成される。各  $AND$  回路 131 は、選択信号  $S\ 0$

0と書き込みポートWR\_DATA0からのデータとの論理積を出力する。各AND回路132は、選択信号S00の反転信号と、選択信号S01と、書き込みポートWR\_DATA1からのデータとの論理積を出力し、各AND回路133は、選択信号S00の反転信号と、選択信号S01の反転信号と、選択信号S02と、書き込みポートWR\_DATA2からのデータとの論理積を出力し、各AND回路134は、選択信号S00の反転信号と、選択信号S01の反転信号と、選択信号S02の反転信号と、選択信号S03と、書き込みポートWR\_DATA3からのデータとの論理積を出力する。各OR回路135は、各AND回路131～134の出力の論理和を記憶部140に出力する。

#### 【0034】

入力ポート選択部130は、図7に示す従来のレジスタファイル200における入出力ポート選択部230と同様に優先度付きのセレクトアとして構成される。例えば、選択信号S00がHレベルのときには、各AND回路132～134の出力はLレベルに固定されるため、常に、書き込みポートWR\_DATA0からのデータがOR回路135を介して記憶部140に入力される。また、AND回路134には選択信号S00～S02の反転が入力されるため、書き込みポートWR\_DATA0～2の何れかのポートからのデータを記憶部140に入力するように指定されているときには、選択信号S03がHレベルであっても、書き込みポートWR\_DATA3からのデータは記憶部140に入力されない。

#### 【0035】

データ保持部141は、レジスタFiが記憶するデータのビット数に対応した数の同期型のDフリップフロップ(D-FF)を有する。各D-FFは、何れかの書き込みポートWR\_DATAjから入力されたデータを、クロックゲート142を介して入力するクロック信号CLKに同期して、1ビットずつ記憶する。

#### 【0036】

図4(a)は、クロックゲート142の構成例を、同図(b)はその動作例を示している。同図(a)に示すように、クロックゲート142は、ラッチ回路143と、論理積回路144とを備える。ラッチ回路143は、同図(b)に示すように、クロック信号CLKの立ち下りで、アクティブ信号 $\alpha_i$ をラッチし、ラ



ッチされたアクティブ信号 $\beta_i$ を出力する。論理積回路144は、クロック信号CLKと、ラッチされたアクティブ信号 $\beta_i$ との論理積を取り、ラッチされたアクティブ信号 $\beta_i$ がHレベルの期間に、クロック信号CLKを記憶部141の各D-FFのクロック端子に供給する。

## 【0037】

例えばレジスタF0では、何れかの選択信号 $S_{0j}$ がHレベルであるときには、アクティブ信号 $\alpha_0$ がHレベルとなって、データ保持部141の各D-FFのクロック端子には、クロック信号CLKが有効に入力される。このとき、入力ポート選択部130は、書き込みが指定された書き込みポートWR\_DATA $j$ からのデータを各D-FFのD端子に入力する。一方、選択信号 $S_{0j}$ の何れもがLレベルであるときには、各D-FFのクロック端子、及び、D端子から入力される信号は共にLレベルに固定され、各D-FFが記憶するデータは更新されない。

## 【0038】

図1に戻り、出力ポート選択部120は、読み出しポートRD\_DATA $k$ 数に対応する数の選択回路121を備え、図7に示す従来のレジスタファイル200における出力ポート選択部220と同様な機能を有する。各選択回路121は、従来の出力ポート選択部220のマルチプレクサMUXと同様に、レジスタF $i$ が記憶するデータ $Q_i$ を入力し、読み出しアドレスRD\_ADDR $s_k$ に基づいて、読み出しポートRD\_DATA $k$ から読み出すべきデータ $Q_i$ を選択する。

## 【0039】

図5は、選択回路121の構成を示している。各選択回路121は、レジスタF $i$ が記憶するデータのビット数に対応した数のAND回路122～125及びOR回路126～128と、デコーダ129とを備える。デコーダ129は、読み出しポートRD\_DATA $k$ から読み出すレジスタF $i$ を選択するために、読み出しアドレスRD\_ADDR $s_k$ に基づいて、レジスタ数に対応した出力信号線のうち、何れかの信号線のみがHレベルとなる信号を生成する。例えば、2ビットのアドレスとして(01)が指定されたとき、デコーダ129は、レジスタF1を選択するための4ビットの信号(0010)を出力する。

## 【 0 0 4 0 】

各AND回路122～125は、レジスタFiのデータQiと、対応するデコーダ129の出力信号との論理積を、OR回路126又は127に出力する。デコーダ129からは何れか一のみがHレベルとなる信号が入力されるため、各AND回路122～125は、その何れか1つのみを除いて、Lレベルに固定された信号を出力する。1段目のOR回路126、127は、AND回路122、123、又は、AND回路124、125の出力の論理和を、2段目のOR回路は、1段目のOR回路126、127の論理和を出力する。

## 【 0 0 4 1 】

例えば、レジスタF0～F3のデータQ0～Q3の0ビット目のデータが、Q0から順に（0、1、0、1）であり、読み出しアドレスRD\_\_ADRS0が（00）であった場合には、読み出しポートRD\_\_DATA0に対応する選択回路121では、デコーダ129からAND回路122にHレベルの信号が送信されるが、データQ0（0）が0（Lレベル）であるため、各AND回路122～125の出力は全て0（Lレベル）となり、読み出しポートRD\_\_DATA0からデータQ0（0）のデータである「0」が出力される。ここで、読み出しアドレスRD\_\_ADRS0が（11）に遷移した場合には、デコーダ129からAND回路125にHレベルの信号が送信され、AND回路125、及び、OR回路127、128の出力が「0」から「1」に遷移して、読み出しポートRD\_\_DATA0からデータQ3（0）のデータである「1」が出力される。

## 【 0 0 4 2 】

図6は、選択回路121の記述例を示している。本実施形態例における選択回路121の記述例は、case分を用いなくて、論理和及び論理積を用いて機能が記述される点で、図8に示す従来のマルチプレクサMUXの記述例と相違する。同図において、「&」は論理積としてハードウェア化される部分を示し、「|」は論理和としてハードウェア化される部分を示している。本実施形態例では、マルチプレクサの機能を、マルチプレクサとして用意されているプリミティブセルを使用しないように、選択回路121を論理回路の組み合わせで記述する。このため、選択回路12のゲートレベルの回路が、使用する論理合成ツールやセル

ライブラリに依存せず、ANDやORなどの論理回路の組み合わせで構成できる。

#### 【0043】

本実施形態例の半導体装置で使用される選択回路121は、デコーダ129を備えるため、その分の回路が必要となり、入力される読み出しアドレスRD\_\_ADRS<sub>k</sub>が変化したときにはデコーダで電流が流れる。しかし、デコーダ129は、レジスタF<sub>i</sub>のデータQ<sub>i</sub>の全てのビットに共通して使用されるため、その他の部分と比較してデコーダ129の回路規模は相対的に小さく、読み出しアドレスRD\_\_ADRS<sub>k</sub>が変化したときに流れる電力の消費も少ない。図9に示す従来のマルチプレクサMUXでは、選択されないデータを入力する1段目のマルチプレクサの出力が変化すると無駄に電力が消費されたが、本実施形態例では、選択されないデータが入力されるAND回路122～1254の出力は変化しないため、この部分での電力の消費が抑えられる。

#### 【0044】

本実施形態例の半導体装置では、優先度付きのセレクトアとして構成される入力ポート選択部130を、論理積回路と論理和回路との組み合わせで構成する。図7に示す従来の入力ポート選択部230では、クロックがLレベルに固定されているときでも、データ保持部241の入力が変化したが、本実施形態例では、入力ポート選択部130は、データの書き込みが行われなるときには、データ保持部141への出力をLレベルに固定する。このため、書き込みが行われなるときに、データ保持部141のDFFのマスタラッチが動作せず、無駄に電力が消費されない。

#### 【0045】

また、選択回路121の設計に際しては、プリミティブセルとして用意されているマルチプレクサを用いてゲートレベルの回路が構成されないように、敢えて、その機能を論理積と論理和との組み合わせで記述する。このため、選択回路121のゲートレベルの回路構成は、論理合成ツールやセルライブラリに依存せず、常に、論理積回路と論理和回路との組み合わせによって実現する。このため、従来の出力ポート選択部120で発生した無駄な電力の消費を抑えることができ

る。

#### 【 0 0 4 6 】

なお、上記実施形態例では、レジスタ数、レジスタが記憶するデータのビット長、書き込みポート数、及び、読み出しポート数が4の場合について説明したが、これらは、設計する半導体装置の仕様に応じて、それぞれ所望の値とすることができる。その場合、書き込みアドレス、及び、読み出しアドレスは、ポート数に応じたビット長のアドレスとして構成される。

#### 【 0 0 4 7 】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明のレジスタファイル及びレジスタファイルの設計方法は、上記実施形態例にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施したレジスタファイル及びレジスタファイルの設計方法も、本発明の範囲に含まれる。

#### 【 0 0 4 8 】

##### 【発明の効果】

以上説明したように、本発明のレジスタファイル及びレジスタファイルの設計方法は、レジスタへの書き込みが行われないうちは、優先度付きのセレクタの出力が変動しないため、記憶部にD-F Fを使用した場合には、D-F Fで発生する無駄な電力の消費を抑えることができる。また、レジスタのデータを読み出す部分の選択回路を、論理回路の組み合わせでハードウェア化されるように設計することで、この部分における無駄な電力の消費を抑えることができる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の一実施形態例の半導体装置の構成の一部を示すブロック図。

##### 【図 2】

図 1 の選択信号生成部 1 1 0 の構成例の一部詳細を示すブロック図。

##### 【図 3】

図 1 のレジスタ F 0 の構成を示すブロック図。

##### 【図 4】

図 3 に示すクロックゲート 1 4 2 の、(a) は構成例を示すブロック図、(b

) は動作例を示すタイミングチャート。

【図 5】

図 1 の選択回路 1 2 1 の構成例を示すブロック図。

【図 6】

図 5 に示す選択回路 1 2 1 の H D L による記述例。

【図 7】

従来の半導体装置の構成の一部を示すブロック図。

【図 8】

図 7 の出力ポート選択部 2 2 0 におけるマルチプレクサ M U X の記述例。

【図 9】

図 7 の入出力ポート選択部 2 2 0 で使用される 4 入力 - 1 出力のマルチプレクサの構成例を示すブロック図。

【図 1 0】

セルライブラリに記憶される 2 入力 - 1 出力のマルチプレクサのゲートレベルの回路構成例を示す回路図。

【図 1 1】

同期型の D - F F の構成例を示す回路図。

【符号の説明】

- 1 1 0 : 選択信号生成部
- 1 1 1 : アクティブ信号生成回路
- 1 2 0 : 出力ポート選択部
- 1 3 0 : 入力ポート選択部
- 1 4 0 : 記憶部
- 1 4 1 : データ記憶部 ( D - F F )
- 1 4 2 : クロックゲート
- 2 1 0 : 選択信号生成部
- 2 2 0 : 出力ポート選択部
- 2 3 0 : 入力ポート選択部
- 2 4 0 : 記憶部

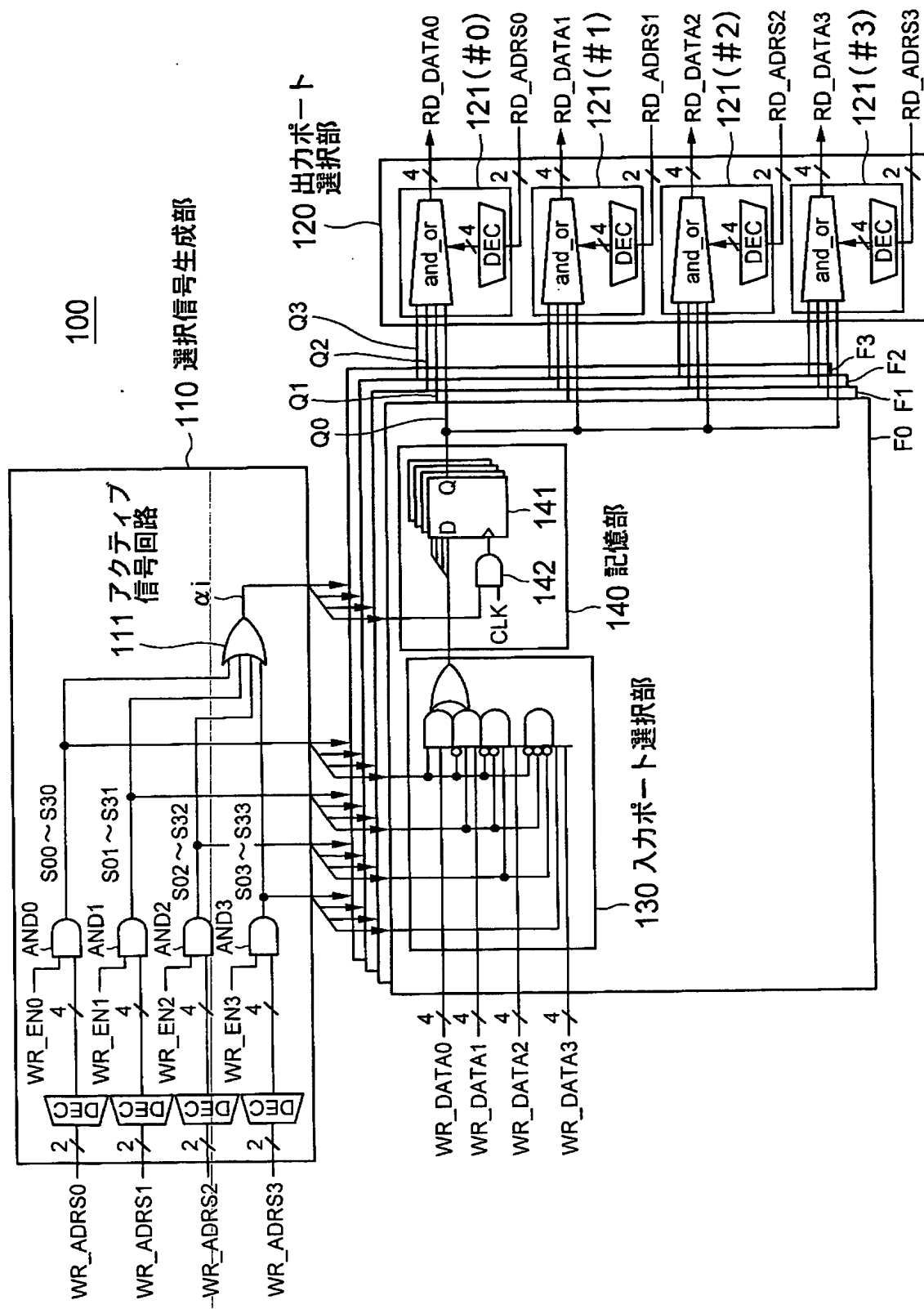
2 4 1 : データ記憶部 ( D - F F )

2 4 2 : クロックゲート

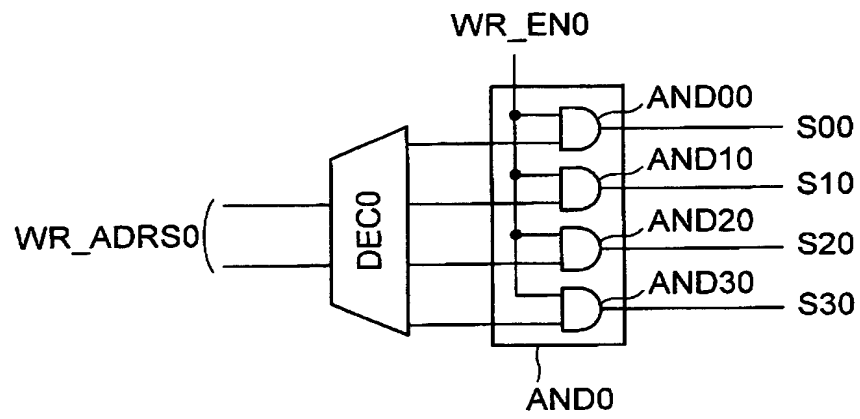
【書類名】

凶面

【図 1】

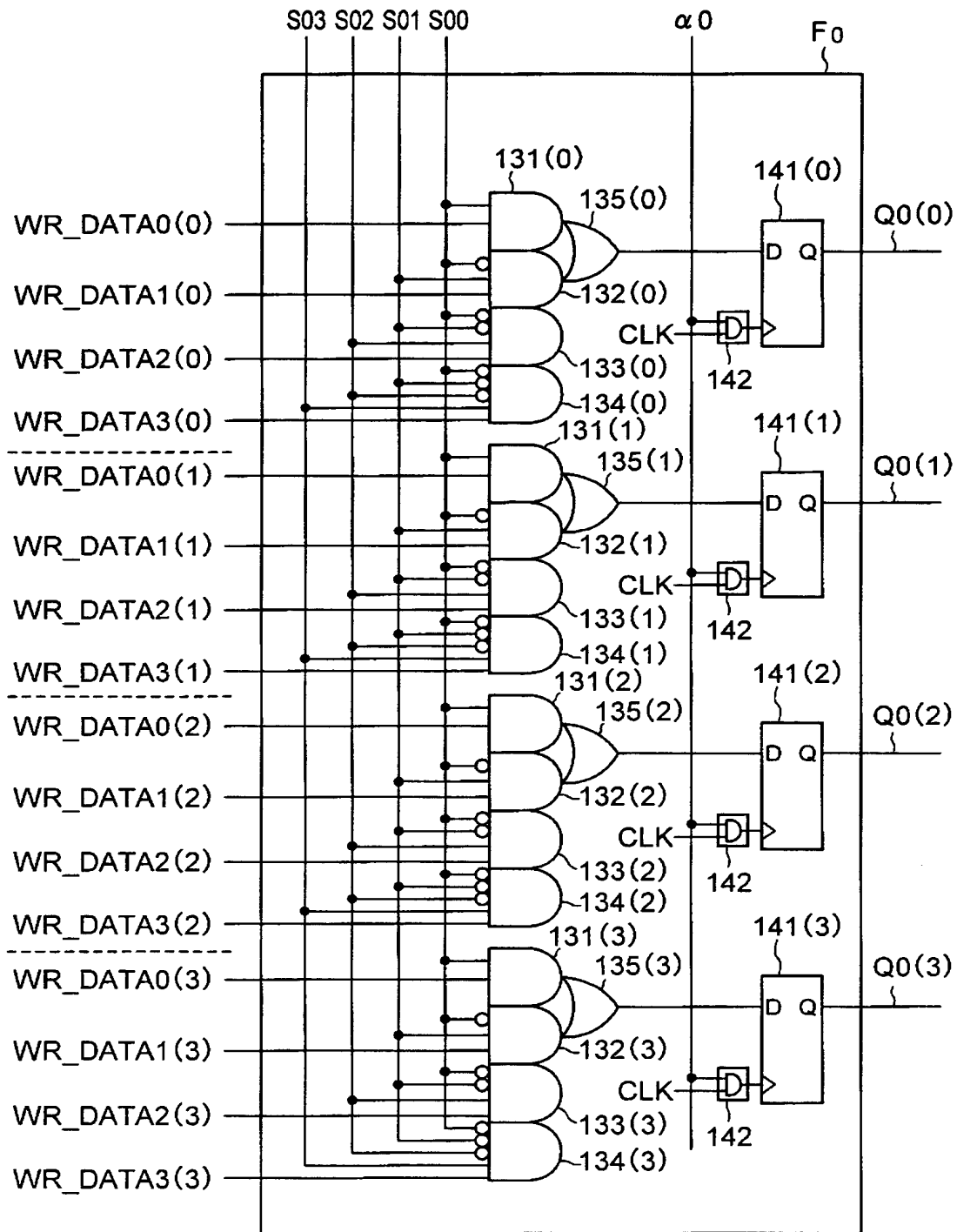


【図 2】



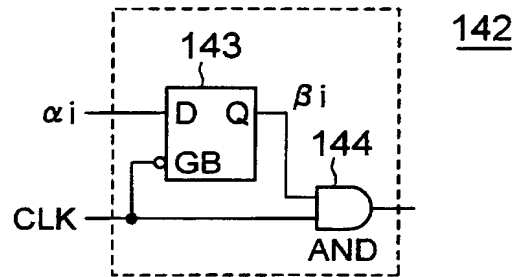


【図 3】

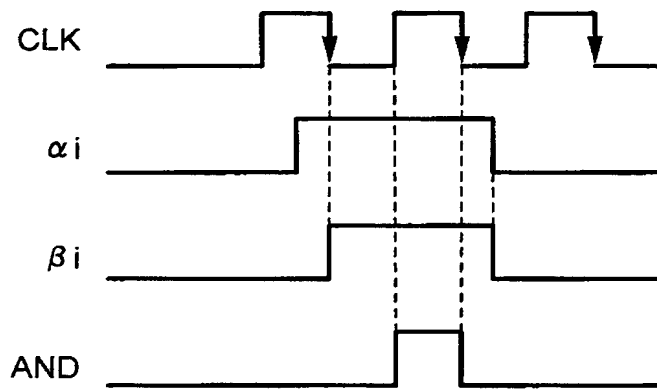


【図 4】

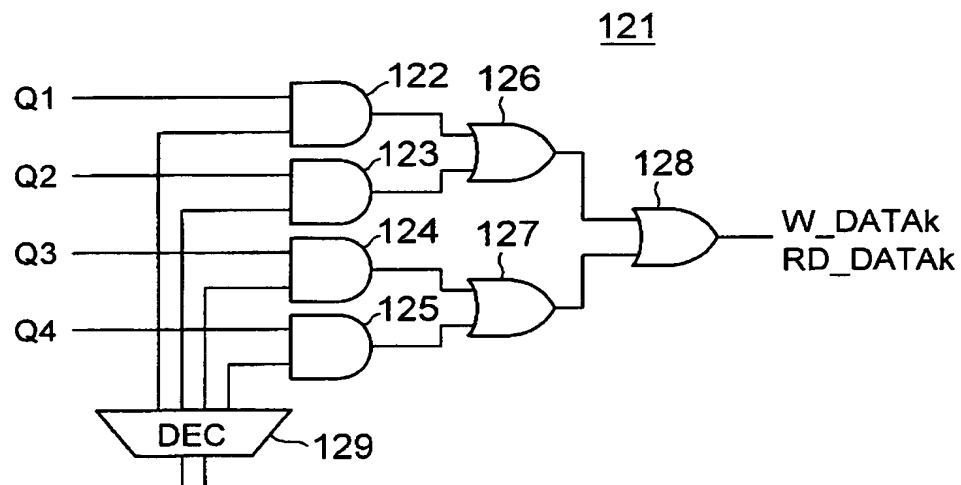
(a)



(b)



【図 5】

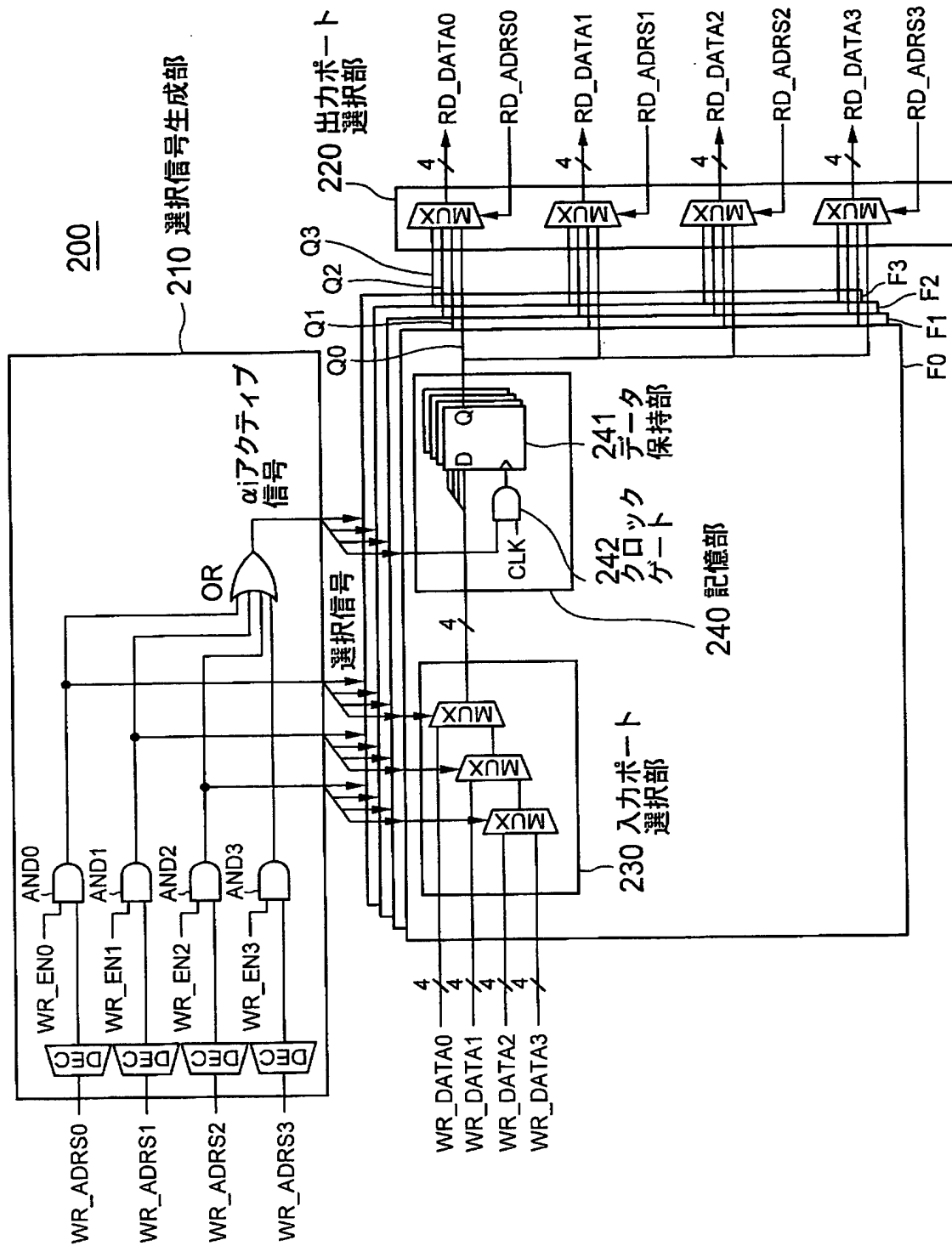


【図 6】

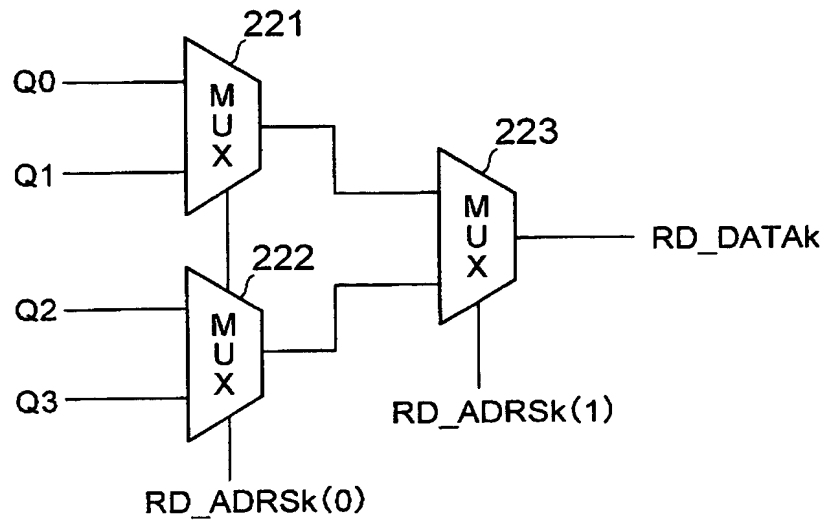
```

assign Y = Q0 & ~S[1] & ~S[0] |
           Q1 & ~S[1] & S[0] |
           Q2 & S[1] & ~S[0] |
           Q3 & S[1] & S[0] ;
    
```

【図 7】



【図 8】



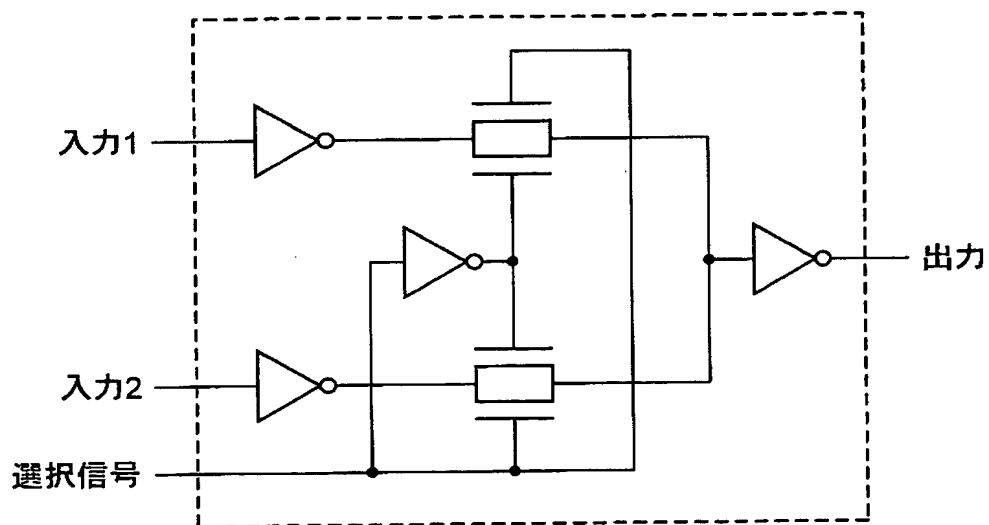
【図 9】

```

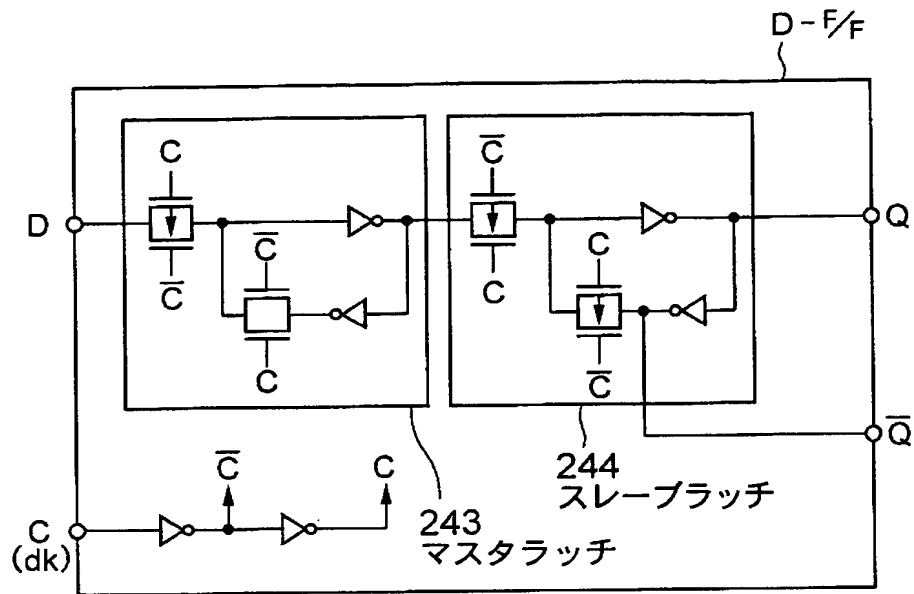
case (S)
  2'b00:Y = Q0
  2'b01:Y = Q1
  2'b10:Y = Q2
  2'b11:Y = Q3
endcase

```

【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 低消費電力のレジスタファイルを提供する。

【解決手段】 各レジスタ  $F_i$  に配設される入力ポート選択部 130 は、入力ポートに対応した数の論理積回路と、論理積回路の出力の論理和をとる論理和回路とで構成される。入力ポート選択部 130 の各論路積回路は、対応する書き込みポート  $WR\_DATA_j$  のデータと、そのデータを記憶部 140 に入力するか否かを指定する選択信号  $S_{ij}$  とを受信している。各論理積回路は、更に、当該論理積回路に対応する書き込みポート  $WR\_DATA_j$  よりも優先順位が高く設定された書き込みポート  $WR\_DATA_j$  のデータを書き込むか否かを指定する選択信号  $S_{ij}$  の反転信号を受信し、それら受信した信号の論理積を論理和回路に出力する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成15年 1月16日

【あて先】 特許庁長官 殿

【事件の表示】

    【出願番号】 特願2002-265521

【承継人】

    【識別番号】 302062931

    【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

    【識別番号】 100096231

    【弁理士】

    【氏名又は名称】 稲垣 清

【提出物件の目録】

    【物件名】 承継人であることを証する登記簿謄本 1

    【援用の表示】 平成15年1月10日提出の特願2002-31848  
8の出願人名義変更届（一般承継）に添付のものを援用  
する。

    【物件名】 承継人であることを証する承継証明書 1

    【援用の表示】 平成15年1月16日提出の平成10年特許願第293  
439号の出願人名義変更届（一般承継）に添付のものを  
援用する。

    【包括委任状番号】 0216503

【プルーフの要否】 要



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
氏 名 N E C エレクトロニクス株式会社